

---

**MSM82C55A-2**

---

**CMOS Programmable Peripheral Interface**

---

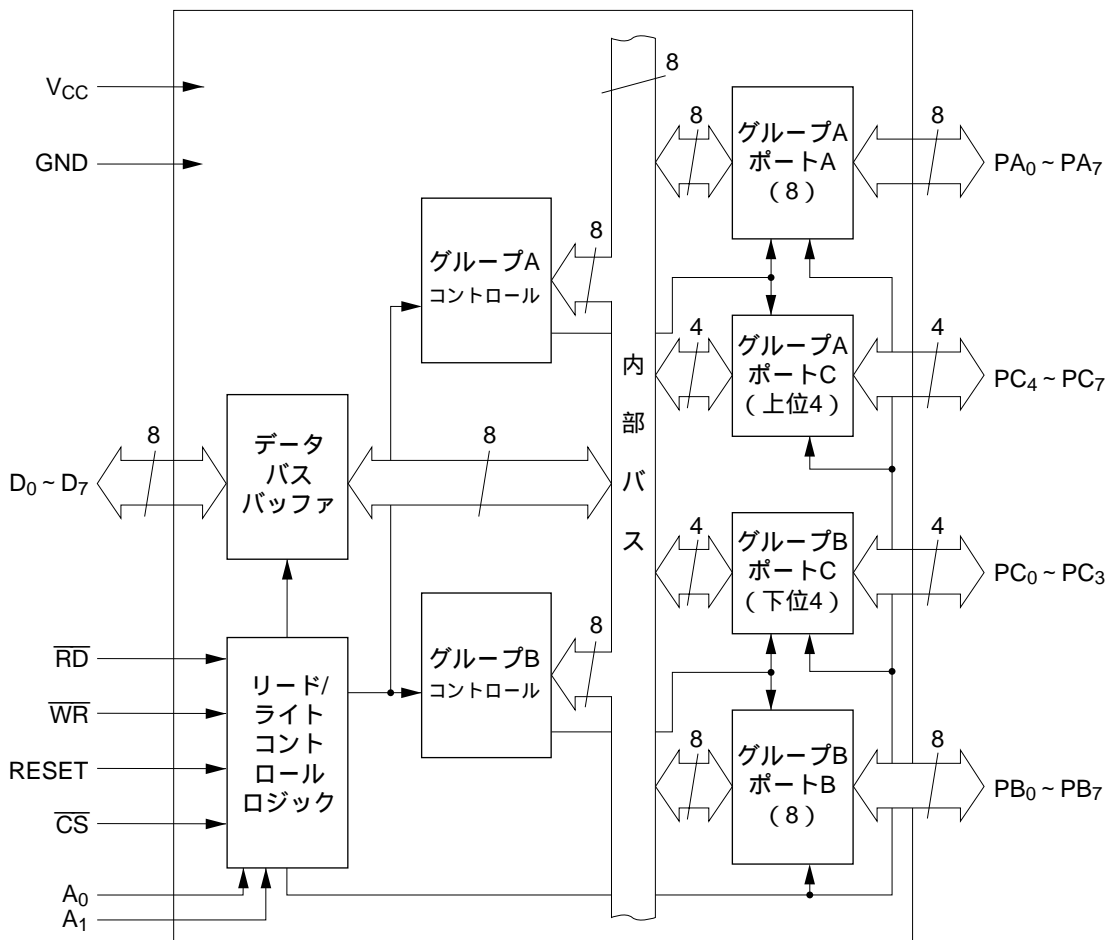
**■ 概要**

MSM82C55A-2は、シリコンゲートCMOSテクノロジーを用いて、高速かつ低消費電力で動作するプログラム可能な汎用I/Oインターフェイス・デバイスで、8ビット並列処理CPU、MSM80C85Aを用いたシステムでのI/Oポートとして最適です。基本的には8ビットのI/Oポート3個に相当する24ビットのI/O端子を持ち、すべての入出力はTTLインターフェイスが可能です。

**■ 特長**

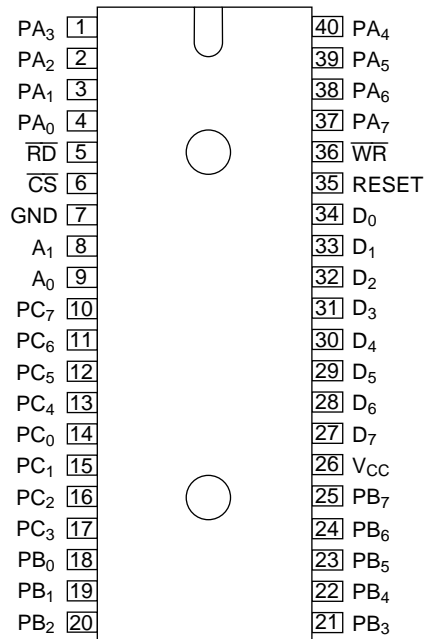
- シリコンゲートCMOSテクノロジーによる高速低消費電力
- 3V～6V 単一電源
- 完全スタティック動作
- プログラム可能な24ビットのI/Oポート
- 双方向バス動作（ポートA）
- ビット・セット/リセット機能（ポートC）
- TTLコンパチブル
- 40ピンプラスチックDIP（DIP40-P-600-2.54）：（製品名：MSM82C55A-2RS）
- 44ピンプラスチックQFJ（QFJ44-P-S650-1.27）：（製品名：MSM82C55A-2JS）
- 44ピンプラスチックQFP（QFP44-P-910-0.80-2K）：（製品名：MSM82C55A-2GS-2K）
- インテル社8255A-2と互換性あり

## ■ 回路構成

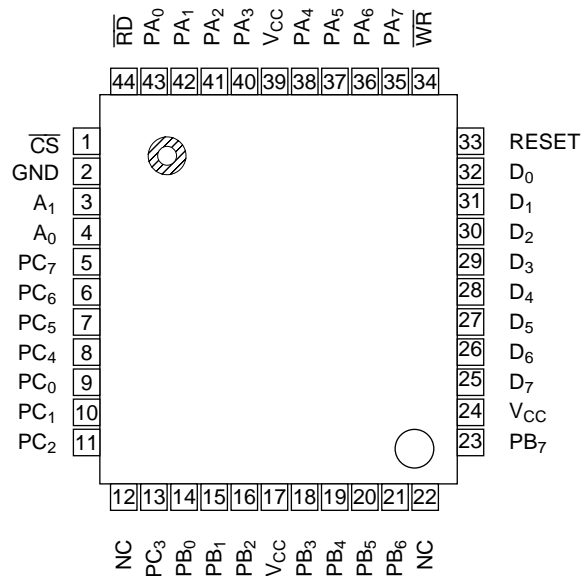


## ■ 端子接続（上面図）

## 40ピンプラスチックDIP MSM82C55A-2RS



## 44ピンプラスチックQFP MSM82C55A-2GS-2K

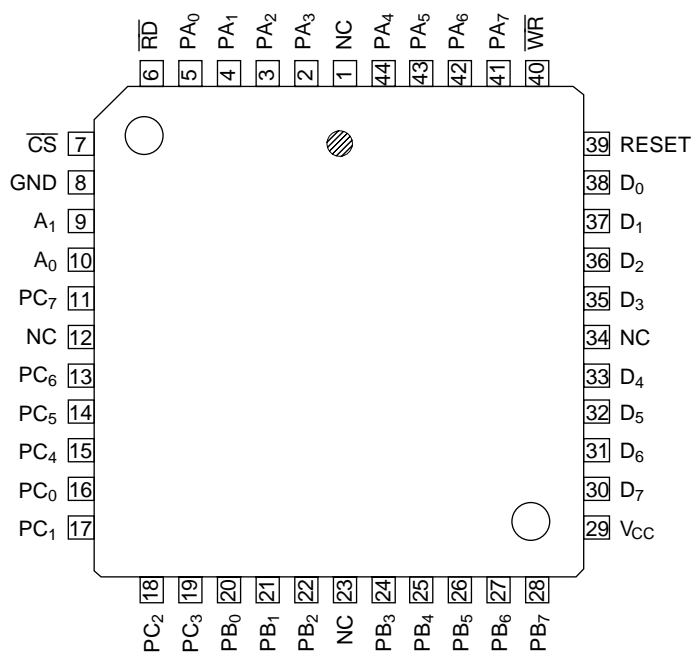


注記1： V<sub>CC</sub>である17, 24, 39ピンは内部でつながっています。可能な場合は全ピンともV<sub>CC</sub>と接続するのが好ましいのですが、条件によって接続本数を減らす場合は下表のように使用して下さい。

接続本数	接続ピン
3	24, 17, 39
2	24, 17
1	24

注記2： NCは未使用端子。

## 44ピンプラスチックQFJ MSM82C55A-2VJS



注記1： 形名の現品への表示は簡略形を用い、M82C55A-2となります。

注記2： NCは未使用端子。

## ■ 電気的特性

## ● 絶対最大定格

項目	記号	条件	定格値			単位
			MSM82C55A-2RS	MSM82C55A-2GS	MSM82C55A-2VJS	
電源電圧	$V_{CC}$	GNDを基準にした場合	- 0.5 ~ + 7			V
入力電圧	$V_{IN}$		- 0.5 ~ $V_{CC} + 0.5$			V
出力電圧	$V_{OUT}$		- 0.5 ~ $V_{CC} + 0.5$			V
保存温度	$T_{STG}$		- 55 ~ + 150			
許容損失	$P_D$	$T_a = 25$	1.0	0.7	1.0	W

## ● 動作範囲

項目	記号	範囲	単位
電源電圧	$V_{CC}$	3 ~ 6	V
動作温度	$T_{OP}$	- 40 ~ + 85	

## ● 推奨動作条件

項目	記号	Min.	Typ.	Max.	単位
電源電圧	$V_{CC}$	4.5	5	5.5	V
動作温度	$T_{OP}$	- 40	+ 2.5	+ 85	
"L"入力電圧	$V_{IL}$	- 0.3		+ 0.8	V
"H"入力電圧	$V_{IH}$	2.2		$V_{CC} + 0.3$	V

## ● 直流特性

項目	記号	条件	Min.	Typ.	Max.	単位
"L"出力電圧	$V_{OL}$	$I_{OL} = 2.5\text{mA}$			0.4	V
"H"出力電圧	$V_{OH}$	$I_{OH} = - 2.5\text{mA}$	3.7			V
		$I_{OH} = - 40\mu\text{A}$	4.2			V
入力リーク電流	$I_{LI}$	0 $V_{IN}$ $V_{CC}$	- 1		1	$\mu\text{A}$
出力リーク電流	$I_{LO}$	0 $V_{OUT}$ $V_{CC}$	- 10		10	$\mu\text{A}$
待機時電源電流	$I_{CCS}$	$\overline{CS}$ $V_{CC} - 0.2\text{V}$ $V_{IH}$ $V_{CC} - 0.2\text{V}$ $V_{IL}$ $0.2\text{V}$		0.1	10	$\mu\text{A}$
平均動作時電源電流	$I_{CC}$	I/Oライトサイクル タイム : 375ns			8	mA

## ● 交流特性

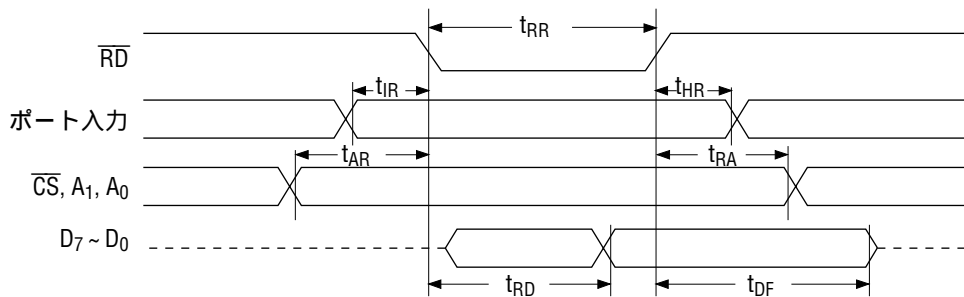
(  $V_{CC} = 4.5V \sim 5.5V$ ,  $T_a = -40 \sim +85$  )

項目	記号	MIN	MAX	単位	備考
$\overline{RD}$ の立上りに対するアドレスのセットアップ時間	$t_{AR}$	20	-	ns	負荷150pF
$\overline{RD}$ の立上りに対するアドレスのホールド時間	$t_{RA}$	0	-	ns	
$\overline{RD}$ のパルス幅	$t_{RR}$	100	-	ns	
$\overline{RD}$ の立下りから確定データの出力までの遅延時間	$t_{RD}$		120	ns	
$\overline{RD}$ の立上りからデータ・バスがフローティングになるまでの時間	$t_{DF}$	10	75	ns	
$\overline{RD}$ または $\overline{WR}$ の立上りより次の $\overline{RD}$ または $\overline{WR}$ の立下りまでの時間	$t_{RV}$	200	-	ns	
$\overline{WR}$ の立下りに対するアドレスのセットアップ時間	$t_{AW}$	0	-	ns	
$\overline{WR}$ の立上りに対するアドレスのホールド時間	$t_{WA}$	20	-	ns	
$\overline{WR}$ のパルス幅	$t_{WW}$	150		ns	
$\overline{WR}$ の立上りに対するバス・データのセットアップ時間	$t_{DW}$	50	-	ns	
$\overline{WR}$ の立上りに対するバス・データのホールド時間	$t_{WD}$	30	-	ns	
$\overline{WR}$ の立上りから確定データの出力までの遅延時間	$t_{WB}$		200	ns	
$\overline{RD}$ の立下りに対するポート・データのセット・アップ時間	$t_{IR}$	20	-	ns	
$\overline{RD}$ の立上りに対するポート・データのホールド時間	$t_{HR}$	10	-	ns	
ACKのパルス幅	$t_{AK}$	100		ns	
STBのパルス幅	$t_{ST}$	100		ns	
STBの立上りに対するポート・データのセット・アップ時間	$t_{PS}$	20		ns	
STBの立上りに対するポート・データのホールド時間	$t_{PH}$	50	-	ns	
ACKの立下りから確定データの出力までの遅延時間	$t_{AD}$		150	ns	
ACKの立上りからポート（モード2のAポート）がフローティングになるまでの時間	$t_{KD}$	20	250	ns	
$\overline{WR}$ の立下りから $\overline{OBF}$ が立下るまでの遅延時間	$t_{WOB}$		150	ns	
ACKの立下りから $\overline{OBF}$ が立上るまでの遅延時間	$t_{AOB}$		150	ns	
STBの立下りからIBFが立上るまでの遅延時間	$t_{SIB}$		150	ns	
$\overline{RD}$ の立上りからIBFが立下るまでの遅延時間	$t_{RIB}$		150	ns	
$\overline{RD}$ の立下りからINTRが立下るまでの遅延時間	$t_{RIT}$		200	ns	
STBの立上りからINTRが立上るまでの遅延時間	$t_{SIT}$		150	ns	
ACKの立上りからINTRが立上るまでの遅延時間	$t_{AIT}$		150	ns	
$\overline{WR}$ の立下りからINTRが立下るまでの遅延時間	$t_{WIT}$		250	ns	

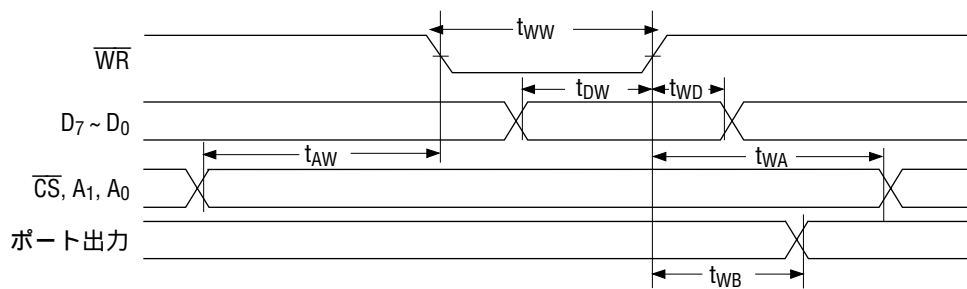
注記： タイミングは入力、出力とも $V_L = 0.8V$ 、 $V_H = 2.2V$ で測定。

## ■ タイミング図

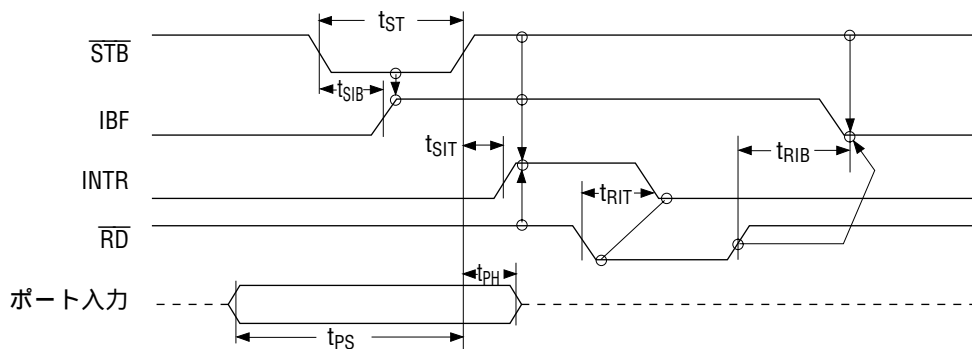
### ● 基本入力動作 (モード0)



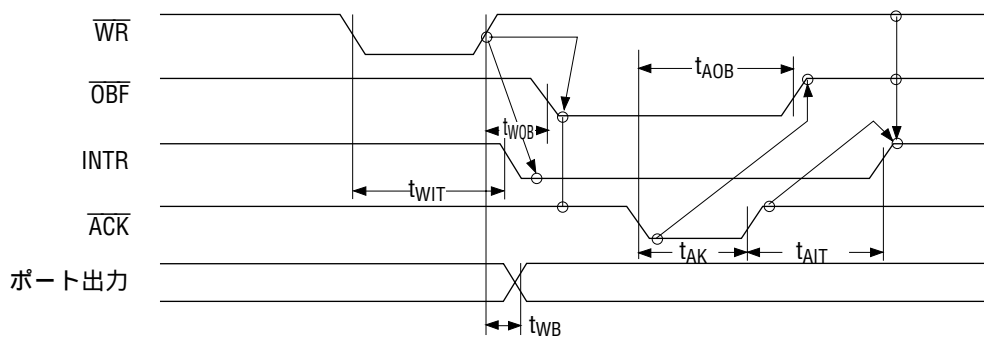
### ● 基本出力動作 (モード0)



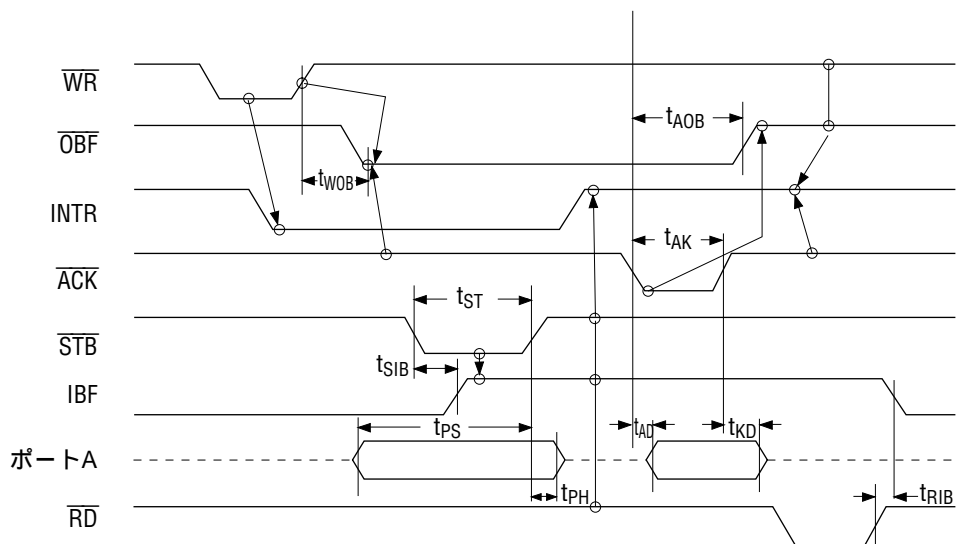
### ● ストローブ入力動作 (モード1)



● ストローブ出力動作（モード1）



● 双方向バス動作（モード2）





## ■ 端子説明

端子名	名称	入力/ 出力	機能
D <sub>7</sub> ~ D <sub>0</sub>	双方向データバス	入出力	3状態の8ビット双方向データバスであり、CPUからのWR、RD信号によりデータの書き込み、読み取りができます。またCPUからMSM82C55A-2に対してコントロール・ワード及びビットセット/リセットの情報を転送する場合にも使用されます。
RESET	リセット入力	入力	高レベルでコントロール・レジスタ及び内部の全レジスタをリセットします。この時ポートはすべて入力モード（高インピーダンス状態）となります。
$\overline{CS}$	チップ・セレクト入力	入力	CSが低レベルのときCPUとの伝達が可能となります。高レベルのときはデータバスは高インピーダンス状態となり書き込み、読み取り動作は行えません。しかし内部レジスタは以前の状態を保っています。
$\overline{RD}$	リード入力	入力	低レベルでMSM82C55A-2よりCPUにデータの転送が行われます。
$\overline{WR}$	ライト入力	入力	低レベルでCPUよりMSM82C55A-2にデータあるいはコントロール・ワードの転送が行われます。
A <sub>0</sub> , A <sub>1</sub>	ポート選択入力（アドレス）	入力	A <sub>0</sub> 、A <sub>1</sub> 入力の組合せにより、ポートA、ポートB、ポートC、コントロール・レジスタの4つから1つを選択します。通常はアドレスバスの下位2ビットに接続します。
PA <sub>7</sub> ~ PA <sub>0</sub>	ポートA	入出力	8ビットの汎用I/Oポートで、入出力の方向はコントロール・ワードを書き込むことにより決めることができます。特にポートAはモード2に設定することにより、双方向ポートとして使用することができます。
PB <sub>7</sub> ~ PB <sub>0</sub>	ポートB	入出力	8ビットの汎用I/Oポートで、入出力の方向はコントロール・ワードを書き込むことにより決めることができます。
PC <sub>7</sub> ~ PC <sub>0</sub>	ポートC	入出力	8ビットの汎用I/Oポートで、コントロール・ワードを書き込むことにより4ビットずつの2つのポートとして入出力の方向を決めることができます。またポートAあるいはポートBを、モード1またはモード2（ポートAのみ）にて使用した場合は、制御端子となります。とくにポートCは出力ポートとして使用しているとき、各ビット独立にビットのセット/リセットが行えます。
V <sub>CC</sub>			+ 5V電源
GND			GND

## ■ 基本動作説明

### ● グループAとグループB

24ビットあるポートに対してモードを設定する場合は、12ビットずつの2つのグループに分けて設定します。

グループA：ポートA（8ビット）とポートCの上位4ビット（PC<sub>7</sub>～PC<sub>4</sub>）

グループB：ポートB（8ビット）とポートCの下位4ビット（PC<sub>3</sub>～PC<sub>0</sub>）

### ● モード0、1、2

グループごとに設定されるモードは3種類あります。

モード0：基本入力動作 / 出力動作（グループA、Bとも可能）

モード1：ストローブ入力動作 / 出力動作（グループA、Bとも可能）

モード2：双方向バス動作（グループAのみ可能）

ただし、モード1あるいはモード2で使用した場合にポートCは、それぞれのグループの動作ポート（グループAはポートA、グループBはポートB）に対するコントロール信号用ポートとなるビットがあります。

### ● ポートA、B、C

3つのポートの内部構造は次のようである。

ポートA：1つの8ビットデータ出力ラッチ / バッファと1つの8ビットデータ入力ラッチ

ポートB：1つの8ビットデータ入出力ラッチ / バッファと1つの8ビットデータ入力バッファ

ポートC：1つの8ビットデータ出力ラッチ / バッファと1つの8ビットデータ入力バッファ

### ● ポートCに対するシングル・ビット・セット / リセット機能

ポートCが出力ポートとして定義されている時8ビット内のどの1ビットに対しても他のビットに影響を与えることなく単独にセット（高レベルにする）またはリセット（低レベルにする）ことができます。

## ■ 動作説明

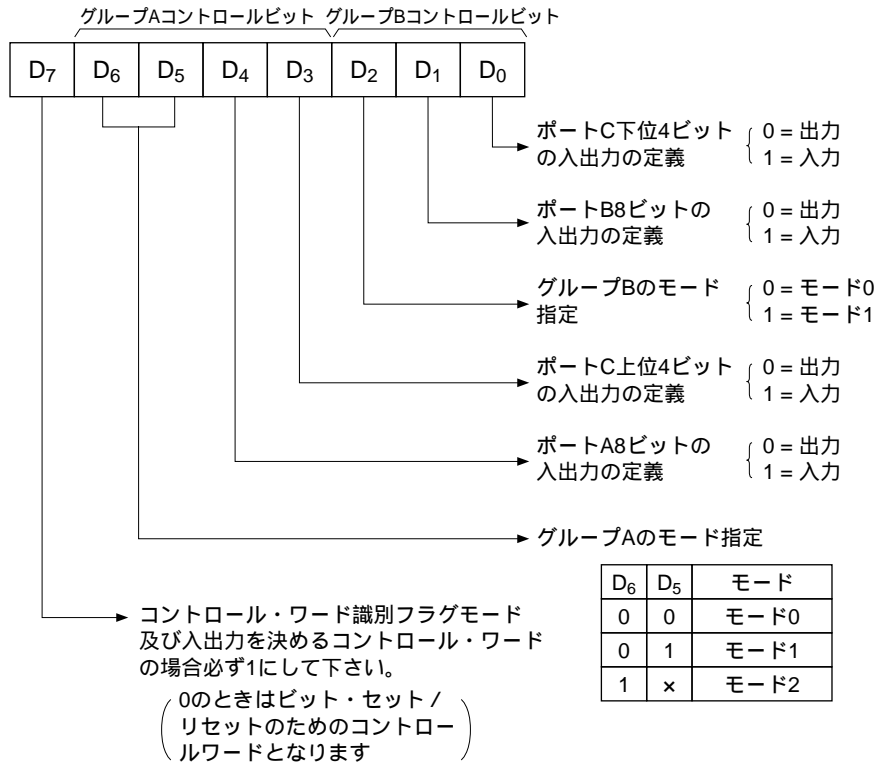
### ● コントロール・ロジック

アドレス及びリード、ライトなどのコントロール信号による動作は次のようになります。

動作	A <sub>1</sub>	A <sub>0</sub>	$\overline{CS}$	$\overline{WR}$	$\overline{RD}$	機能
入力	0	0	0	1	0	ポートA→データ・バス
	0	1	0	1	0	ポートB→データ・バス
	1	0	0	1	0	ポートC→データ・バス
出力	0	0	0	0	1	データ・バス→ポートA
	0	1	0	0	1	データ・バス→ポートB
	1	0	0	0	1	データ・バス→ポートC
コントロール	1	1	0	0	1	データ・バス→コントロール・レジスタ
その他	1	1	0	1	0	禁止
	x	x	1	x	x	データ・バスは高インピーダンス状態

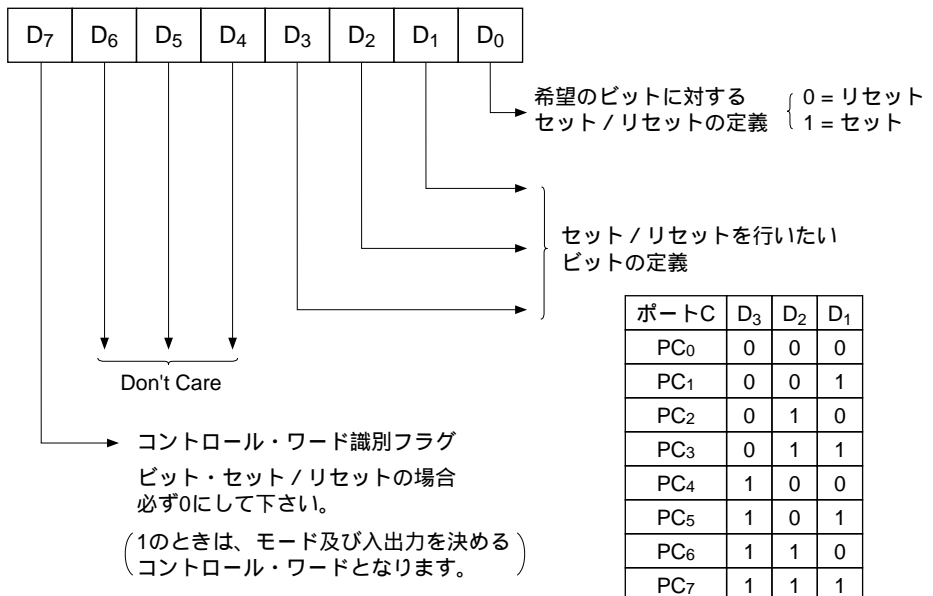
### ● コントロール・ワードの設定

コントロール・レジスタは7ビットのラッチ回路と1ビットのフラグから構成されています。



### ● ビット・セット/リセット機能

ポートCが出力ポートに定義されているとき、8ビットのどのビットに対しても、他のビットに影響を与えることなくセット（出力を1にする）またはリセット（出力を0にする）することができます。



## ● 割込み制御機能

MSM82C55A-2をモード1またはモード2で使用する場合、CPUに対する割込みの信号が用意されています。割込み要求信号はポートCから出力されます。このとき内部にあるINTEフリップ・フロップをあらかじめセットしておくことで希望の割込み要求信号が出力されますが、リセットしておきますと、割込み要求信号は出力されません。内部のフリップ・フロップをセットしたりリセットしたりするには見かけ上ポートCに対するビット・セット/リセット操作で行います。

ビット・リセット INTEがセットされる 割込み可能

ビット・リセット INTEがリセットされる 割込み禁止

## ● モード別動作説明

## ① モード0（基本入力、出力動作）

モード0は、MSM82C55A-2を基本的な入力ポートあるいは出力ポートとして動作させます。このモードでは割り込み要求などのコントロール信号を必要としないため24ビットすべてが2個の8ビット・ポートと2個の4ビット・ポートとして使用でき、その時入出力の組み合わせは16通りが可能です。また入力はラッチされませんが出力はラッチです。出力に設定した場合には出力ポートにラッチされた内容をデータバスより読み出すことが可能です。

種	コントロール・ワード								グループA		グループB	
	D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>	ポートA	ポートC 上位4ビット	ポートB	ポートC 下位4ビット
1	1	0	0	0	0	0	0	0	出力	出力	出力	出力
2	1	0	0	0	0	0	0	1	出力	出力	出力	入力
3	1	0	0	0	0	0	1	0	出力	出力	入力	出力
4	1	0	0	0	0	0	1	1	出力	出力	入力	入力
5	1	0	0	0	1	0	0	0	出力	入力	出力	出力
6	1	0	0	0	1	0	0	1	出力	入力	出力	入力
7	1	0	0	0	1	0	1	0	出力	入力	入力	出力
8	1	0	0	0	1	0	1	1	出力	入力	入力	入力
9	1	0	0	1	0	0	0	0	入力	出力	出力	出力
10	1	0	0	1	0	0	0	1	入力	出力	出力	入力
11	1	0	0	1	0	0	1	0	入力	出力	入力	出力
12	1	0	0	1	0	0	1	1	入力	出力	入力	入力
13	1	0	0	1	1	0	0	0	入力	入力	出力	出力
14	1	0	0	1	1	0	0	1	入力	入力	出力	入力
15	1	0	0	1	1	0	1	0	入力	入力	入力	出力
16	1	0	0	1	1	0	1	1	入力	入力	入力	入力

（ただし、グループA、グループBともモード0で使用する場合）

## ②モード1（ストローブ入力・出力動作）

モード1は指定したポートから入出力動作を行うときにストローブや割り込み信号などのコントロール信号を使用します。このモードはグループAでもグループBでも使用できます。このときグループAではポートAがデータラインとして使用され、ポートCがコントロール信号として使用されます。グループBではポートBがデータ・ラインとして使用され、ポートCがコントロール信号として使用されます。

次にモード1の入力動作を説明します。

### $\overline{STB}$ （ストローブ入力）

- ・ 低レベルで端末からポートへ出力されているデータをポート内部の入力ラッチに取り込みます。これはCPUとは無関係に任意の時に控え、CPUから $\overline{RD}$ 信号が来るまでデータバスには出力されません。

### IBF（入力バッファ・フル・フラグ出力）

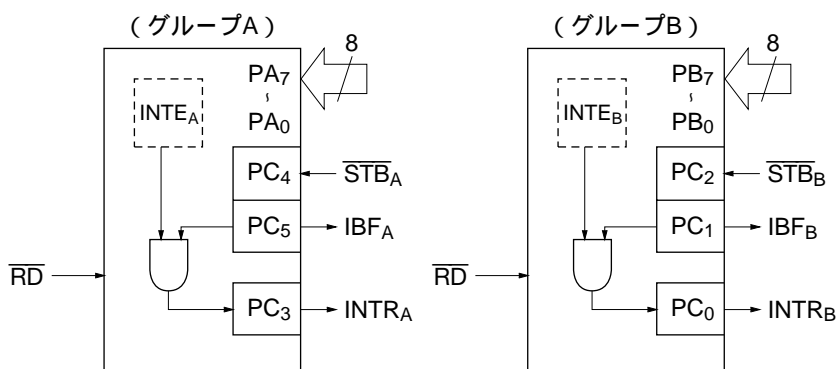
- ・  $\overline{STB}$ に対する応答信号で、データが入力ラッチに取り込まれたことを高レベルで示します。この信号は $\overline{STB}$ の立ち下がりが高レベルとなり $\overline{RD}$ の立ち上がりで低レベルになります。

### INTR（割り込み要求出力）

- ・ 入力ラッチに取り込まれたデータのCPUに対する割り込み要求信号で、内部のINTFフリップフロップがセットされている場合のみ高レベルで示します。この信号はINTEがセットされている時、 $\overline{STB}$ の立ち上がり（この時IBF = 1になっている）で高レベルとなり、 $\overline{RD}$ の立ち下がり低レベルになります。

グループAのINTE<sub>A</sub>はPC<sub>4</sub>に対するビット・セットで、グループBのINTE<sub>B</sub>はPC<sub>2</sub>に対するビット・セットでそれぞれセットします。

### モード1入力



注記： PC<sub>3</sub>はグループBに属しますが、機能上グループAのコントロール信号として動作します。

モード1の出力動作を説明します。

### $\overline{OBF}$ （出力バッファ・フル・フラグ出力）

- ・ CPUからの $\overline{WR}$ 信号により指定のポートにデータが書き込まれたことを端末に低レベルで示します。この信号は $\overline{WR}$ の立上がりで低レベルとなり $\overline{ACK}$ の立下りが高レベルとなります。

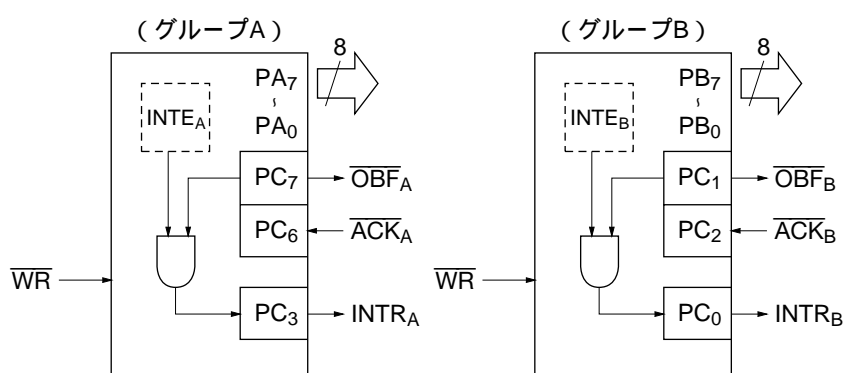
$\overline{\text{ACK}}$  (アクノレッジ入力)

- ・ 端末がデータを受けとったことを低レベルを入力することにより知らせます。

## INTR (割り込み要求出力)

- ・ 端末がCPUからのデータをMSM82C55A-2を経由して受け取ったとき、CPUに割り込みをかける信号で内部のINTEフリップ・フロップがセットされている場合のみ高レベルで示します。この信号はINTEがセットされている時、 $\overline{\text{ACK}}$ の立ち上がり（この時 $\text{OBF} = 1$ になっている）で高レベルとなり、 $\overline{\text{WR}}$ の立下がりで低レベルになります。
- グループAの $\text{INTE}_A$ は $\text{PC}_6$ に対するビット・セットでそれぞれセットします。

## モード1出力



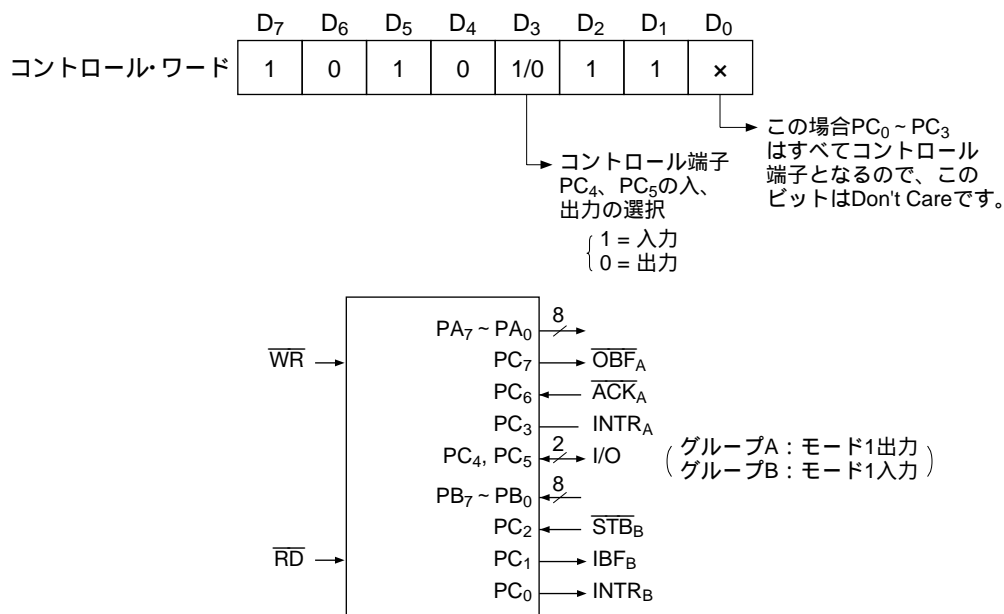
## モード1でのポートCの機能割り付け

入出力の組合せ ポートC	グループA：入力 グループB：入力	グループA：入力 グループB：出力	グループA：出力 グループB：入力	グループA：出力 グループB：出力
$\text{PC}_0$	$\text{INTR}_B$	$\text{INTR}_B$	$\text{INTR}_B$	$\text{INTR}_B$
$\text{PC}_1$	$\text{IBF}_B$	$\text{OBF}_B$	$\text{IBF}_B$	$\text{OBF}_B$
$\text{PC}_2$	$\text{STB}_B$	$\text{ACK}_B$	$\text{STB}_B$	$\text{ACK}_B$
$\text{PC}_3$	$\text{INTR}_A$	$\text{INTR}_A$	$\text{INTR}_A$	$\text{INTR}_A$
$\text{PC}_4$	$\text{STB}_A$	$\text{STB}_A$	I/O	I/O
$\text{PC}_5$	$\text{IBF}_A$	$\text{IBF}_A$	I/O	I/O
$\text{PC}_6$	I/O	I/O	$\text{ACK}_A$	$\text{ACK}_A$
$\text{PC}_7$	I/O	I/O	$\text{OBF}_A$	$\text{OBF}_A$

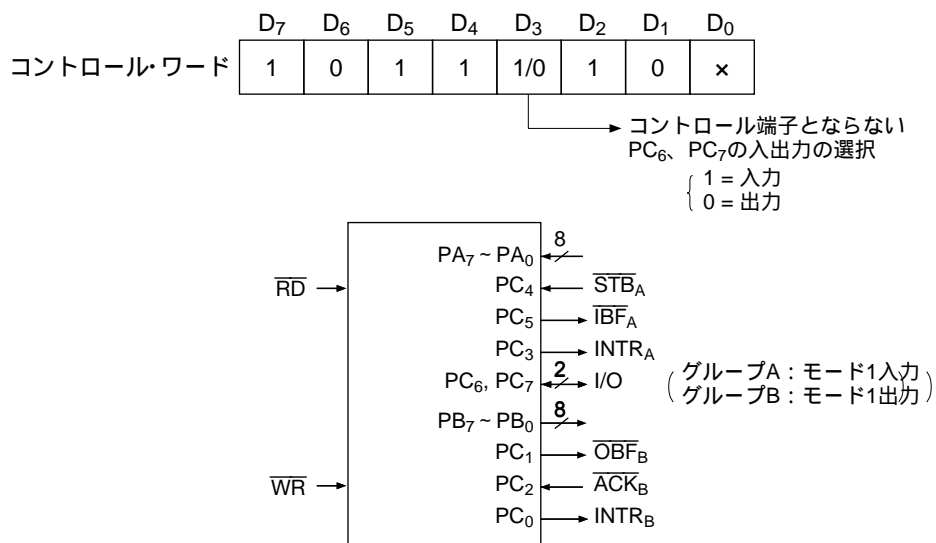
注記： I/Oはコントロール信号として使用しないビットで、モード0のポートとして使えます。

モード1で使用する場合のコントロール・ワードと端子の関係の例を次に示します。

(a) グループAがモード1出力、グループBがモード1入力の場合



(b) グループAがモード1入力、グループBがモード1出力の場合



### ③モード2（ストローブ双方向バス入出力動作）

モード2は、1つの8ビット・ポートで入出力双方向にデータの転送を行うことができます。動作はモード1の入力動作と出力動作を合わせた動作に似ており、この場合もポートCがコントロール信号を受け持ちます。ただしモード2はグループAのみしか使用できません。次にモード2の動作を説明します。

#### OBF（出力バッファ・フル・フラグ出力）

- ・ CPUの $\overline{WR}$ 信号により内部出力ラッチにデータが書き込まれたことを低レベルで端末に知らせます。このときポートAはまだ高インピーダンス状態でデータは外部に出力されていません。この信号は $\overline{WR}$ の立上がりで低レベルになりACKの立下がりで高レベルとなります。

#### ACK（アクノレッジ入力）

- ・ この入力端子に低レベルを入力することにより、ポートAの高インピーダンス状態は解除されバッファはイネーブルとなり内部出力ラッチに書き込まれていたデータがポートAに出力されます。また入力が高レベルにもどることにより、ポートAは高インピーダンス状態となります。

#### STB（ストローブ入力）

- ・ 低レベルで端末からポートへ出力されているデータを内部入力ラッチに取り込みます。CPUからRD信号がくるとデータ・バスに出力しますがそれまでデータバスは高インピーダンス状態を保っています。

#### IBF（入力バッファ・フル・フラグ出力）

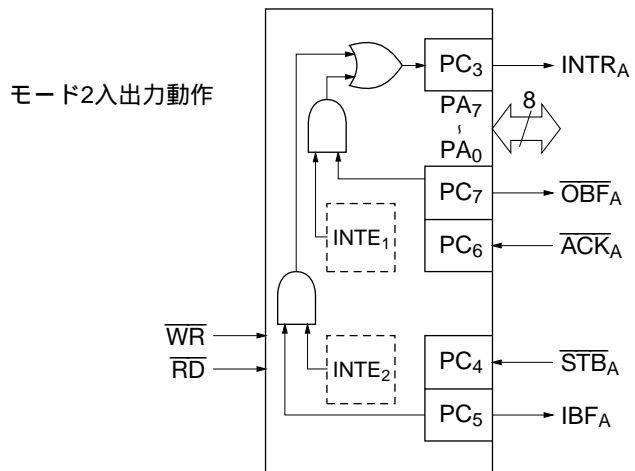
- ・ 端末からのデータが入力ラッチに取り込まれたことを高レベルで示します。この信号はSTBの立下がりで高レベルとなりRDの立上がりで低レベルとなります。

#### INTR（割り込み要求出力）

- ・ CPUに割り込みをかけるための出力で、動作はモード1と同様です。このとき内部のINTEフリップ・フロップは入力用と出力用の2個あり、入出力の希望の動作に対する割り込み要求を選ぶことができます。

INTE<sub>1</sub>は出力動作に対する割り込み要求を制御するものでPC<sub>6</sub>に対するビット・セットでセットすることができます。

INTE<sub>2</sub>は入力動作に対する割り込み要求を制御するものでPC<sub>4</sub>に対するビット・セットでセットすることができます。





## モード2でのポートCの機能割り付け

ポートC	機能
PC <sub>0</sub>	グループBのモードに従う
PC <sub>1</sub>	
PC <sub>2</sub>	
PC <sub>3</sub>	INTR <sub>A</sub>
PC <sub>4</sub>	$\overline{\text{STB}}_A$
PC <sub>5</sub>	IBF <sub>A</sub>
PC <sub>6</sub>	$\overline{\text{ACK}}_A$
PC <sub>7</sub>	$\overline{\text{OBF}}_A$

モード2で使用する場合のコントロール・ワードと端子の関係の例を示します。

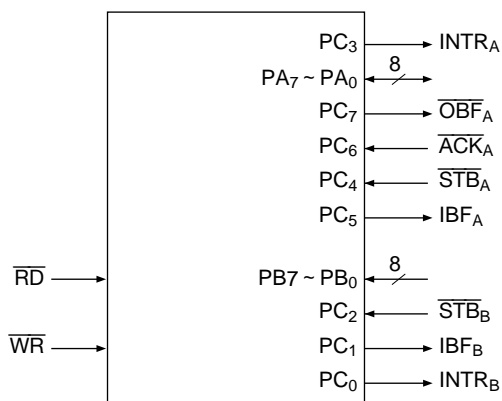
グループAがモード2、グループBがモード1入力の場合

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	1	x	x	x	1	1	x

この場合ポートCの8ビット  
全部がコントロール端子となる  
ため、D<sub>3</sub>、D<sub>0</sub>のビットは  
Don't Careです。

モード2は双方向動作のため  
入、出力の指定は不用となる  
のでこのビットはDon't Care  
です。

グループAをモード2に設定  
する場合、このビットは  
Don't Careです。



(グループA: モード2  
グループB: モード1入力)

## ④グループAとグループBのモードが異なる場合

グループAとグループBは同時に異なるモードに設定して使用することができますが、どちらかのグループをモード1あるいはモード2に設定した場合にポートCでコントロール端子とならないものは、コントロール・ワードの3ビット目と0ビット目でモード0で動作するポートとして入力にも出力にも設定することができます。

ポートCにコントロール端子とならないビットの生じる組合せ

	グループA	グループB	ポートC							
			PC <sub>7</sub>	PC <sub>6</sub>	PC <sub>5</sub>	PC <sub>4</sub>	PC <sub>3</sub>	PC <sub>2</sub>	PC <sub>1</sub>	PC <sub>0</sub>
1	モード1入力	モード0	I/O	I/O	IBF <sub>A</sub>	$\overline{STB}_A$	INTR <sub>A</sub>	I/O	I/O	I/O
2	モード1出力	モード0	$\overline{OBF}_A$	$\overline{ACK}_A$	I/O	I/O	INTR <sub>A</sub>	I/O	I/O	I/O
3	モード0	モード1入力	I/O	I/O	I/O	I/O	I/O	$\overline{STB}_B$	IBF <sub>B</sub>	INTR <sub>B</sub>
4	モード0	モード1出力	I/O	I/O	I/O	I/O	I/O	$\overline{ACK}_B$	$\overline{OBF}_B$	INTR <sub>B</sub>
5	モード1入力	モード1入力	I/O	I/O	IBF <sub>A</sub>	$\overline{STB}_A$	INTR <sub>A</sub>	$\overline{STB}_B$	IBF <sub>B</sub>	INTR <sub>B</sub>
6	モード1入力	モード1出力	I/O	I/O	IBF <sub>A</sub>	$\overline{STB}_A$	INTR <sub>A</sub>	$\overline{ACK}_B$	$\overline{OBF}_B$	INTR <sub>B</sub>
7	モード1出力	モード1入力	$\overline{OBF}_A$	$\overline{ACK}_A$	I/O	I/O	INTR <sub>A</sub>	$\overline{STB}_B$	IBF <sub>B</sub>	INTR <sub>B</sub>
8	モード1出力	モード1出力	$\overline{OBF}_A$	$\overline{ACK}_A$	I/O	I/O	INTR <sub>A</sub>	$\overline{ACK}_B$	$\overline{OBF}_B$	INTR <sub>B</sub>
9	モード2	モード0	$\overline{OBF}_A$	$\overline{ACK}_A$	IBF <sub>A</sub>	$\overline{STB}_A$	INTR <sub>A</sub>	I/O	I/O	I/O

コントロール・ワードの  
3ビット目 (D<sub>3</sub>) で制御

コントロール・ワードの  
0ビット目 (D<sub>0</sub>) で制御

この場合I/Oビットを入力に設定した場合は、通常のポートCの読み出し動作でアクセスすることができます。

また出力に設定した場合は、PC<sub>7</sub>~PC<sub>4</sub>のビットはビット・セット/リセット機能のみでアクセスできます。PC<sub>3</sub>~PC<sub>0</sub>のビットに関しては、PC<sub>2</sub>~PC<sub>0</sub>の3ビットは通常書き込み動作でアクセスできます。ただしビット・セット/リセット機能はPC<sub>3</sub>~PC<sub>0</sub>すべてに使用できます。

このように、モードの組合せによりポートCの状態は異なってきますので注意が必要です。

## ⑤ポートCステータスの読み出し

ポートCをコントロール信号に使用している場合、つまり、モード1あるいはモード2で使用する場合には、ポートCを読み出すことにより各コントロール信号及びバスステータス信号を読み出すことができます。読み出されるステータスは次のようになります。

	グループA	グループB	データ・バスに読み出されるステータス							
			D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	モード1入力	モード0	I/O	I/O	IBF <sub>A</sub>	INTE <sub>A</sub>	INTR <sub>A</sub>	I/O	I/O	I/O
2	モード1出力	モード0	$\overline{\text{OBF}}_A$	INTE <sub>A</sub>	I/O	I/O	INTR <sub>A</sub>	I/O	I/O	I/O
3	モード0	モード1入力	I/O	I/O	I/O	I/O	I/O	INTE <sub>B</sub>	IBF <sub>B</sub>	INTR <sub>B</sub>
4	モード0	モード1出力	I/O	I/O	I/O	I/O	I/O	INTE <sub>B</sub>	$\overline{\text{OBF}}_B$	INTR <sub>B</sub>
5	モード1入力	モード1入力	I/O	I/O	IBF <sub>A</sub>	INTE <sub>A</sub>	INTR <sub>A</sub>	INTE <sub>B</sub>	IBF <sub>B</sub>	INTR <sub>B</sub>
6	モード1入力	モード1出力	I/O	I/O	IBF <sub>A</sub>	INTE <sub>A</sub>	INTR <sub>A</sub>	INTE <sub>B</sub>	$\overline{\text{OBF}}_B$	INTR <sub>B</sub>
7	モード1出力	モード1入力	$\overline{\text{OBF}}_A$	INTE <sub>A</sub>	I/O	I/O	INTR <sub>A</sub>	INTE <sub>B</sub>	IBF <sub>B</sub>	INTR <sub>B</sub>
8	モード1出力	モード1出力	$\overline{\text{OBF}}_A$	INTE <sub>A</sub>	I/O	I/O	INTR <sub>A</sub>	INTE <sub>B</sub>	$\overline{\text{OBF}}_B$	INTR <sub>B</sub>
9	モード2	モード0	$\overline{\text{OBF}}_A$	INTE <sub>1</sub>	IBF <sub>A</sub>	INTE <sub>2</sub>	INTR <sub>A</sub>	I/O	I/O	I/O
10	モード2	モード1入力	$\overline{\text{OBF}}_A$	INTE <sub>1</sub>	IBF <sub>A</sub>	INTE <sub>2</sub>	INTR <sub>A</sub>	INTE <sub>B</sub>	IBF <sub>B</sub>	INTR <sub>B</sub>
11	モード2	モード1出力	$\overline{\text{OBF}}_A$	INTE <sub>1</sub>	IBF <sub>A</sub>	INTE <sub>2</sub>	INTR <sub>A</sub>	INTE <sub>B</sub>	$\overline{\text{OBF}}_B$	INTR <sub>B</sub>

## ⑥MSM82C55A-2のリセット

電源投入時のRESET信号は少なくとも50μsの間、高レベルにして下さい。

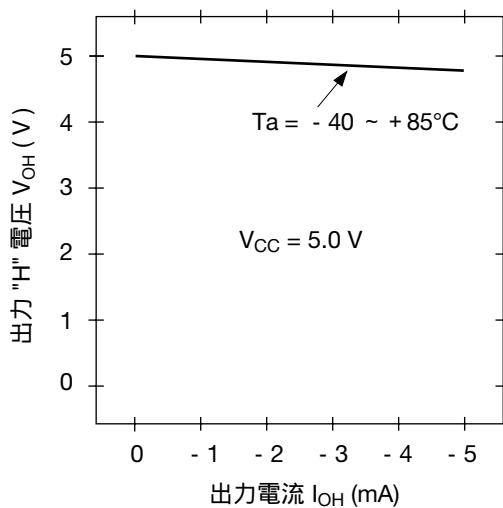
その後は、500ns以上の高レベル・パルスで入力モードとなります。

## ■ 使用上の注意

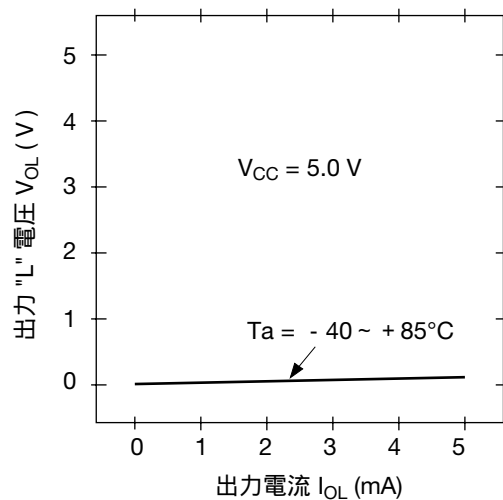
コマンドレジスタの書き込みを行った場合はPORT A、B、C全てについて内部ラッチがクリアされます。たとえば出力ポートに設定した場合は最初に00Hが出力されます。

## ■ 出力特性（標準値）

### ① 出力“H”電圧 ( $V_{OH}$ ) 対 出力電流 ( $I_{OH}$ )



### ② 出力“L”電圧 ( $V_{OL}$ ) 対 出力電流 ( $I_{OL}$ )



注記： 出力電流はデバイスに流れ込む方向を正とします。

## ■ 付録

### ● 低速版から高速版への置き換え時の注意事項

従来生産しておりました低速版は、下記表のとおり高速版に集約されております。低速版をお使いの方で高速版に置き換えをされる方は、次ページ以降の置き換え時の注意事項をお読みください。

高速版製品名（集約製品）	低速版製品名（廃品）	備考
M80C85AH	M80C85A/M80C85A-2	8bit MPU
M80C86A-10	M80C86A/M80C86A-2	16bit MPU
M80C88A-10	M80C88A/M80C88A-2	8bit MPU
M82C84A-2	M82C84A/M82C84A-5	クロックジェネレータ
M81C55-5	M81C55	RAM,I/O,タイマ
M82C37B-5	M82C37A/M82C37A-5	DMAコントローラ
M82C51A-2	M82C51A	USART
M82C53-2	M82C53-5	タイマ
M82C55A-2	M82C55A-5	PPI

## MSM82C55A-5とMSM82C55A-2との相違点

## 1) 製造プロセスの相違点

どちらも3 $\mu$ Si-Gate CMOSプロセスであり相違点はありません。チップサイズは出力特性を変更したためMSM82C55A-2の方がチップ面積で約7%小さくなっています。

## 2) 機能上の相違点

項目	MSM82C55A-5	MSM82C55A-2
コマンドレジスタ書き込み時の内部ラッチ	ポートAとCのみクリアされ、ポートBはクリアされない	全てのポートがクリアされる。

上記はバグ動作の改修であり問題ありません。それ以外の論理の相違はありません。

## 3) 規格上の相違点

## 3-1) DC特性

項目	記号	MSM82C55A-5	MSM82C55A-2
“L”出力電圧	V <sub>OL</sub>	0.45 V (I <sub>OL</sub> = +2.5 mA)	0.40 V (I <sub>OL</sub> = +2.5 mA)
“H”出力電圧	V <sub>OH</sub>	2.4 V (I <sub>OH</sub> = 400 $\mu$ A)	3.7 V (I <sub>OH</sub> = 2.5 mA)
平均動作電流	I <sub>CC</sub>	5 mA 最大 (I/Oサイクル = 1 $\mu$ s)	8 mA 最大 (I/Oサイクル = 375 ns)

上記のとおりMSM82C55A-2の規格は、MSM82C55A-5の規格を満足するため問題はありません。

## 3-2) AC特性

項目	記号	MSM82C55A-5	MSM82C55A-2
$\overline{RD}$ の立ち上りに対するアドレスホールド時間	t <sub>RA</sub>	20 ns 最小	0 ns 最小
$\overline{RD}$ パルス幅	t <sub>RR</sub>	300 ns 最小	100 ns 最小
$\overline{RD}$ の立ち下りからの確定データ出力遅延時間	t <sub>RD</sub>	200 ns 最大	120 ns 最大
$\overline{RD}$ の立ち上りからのデータフローティング遅延時間	t <sub>RF</sub>	100 ns 最大	75 ns 最大
$\overline{RD}$ 、 $\overline{WR}$ リカバリ時間	t <sub>RV</sub>	850 ns 最小	200 ns 最小

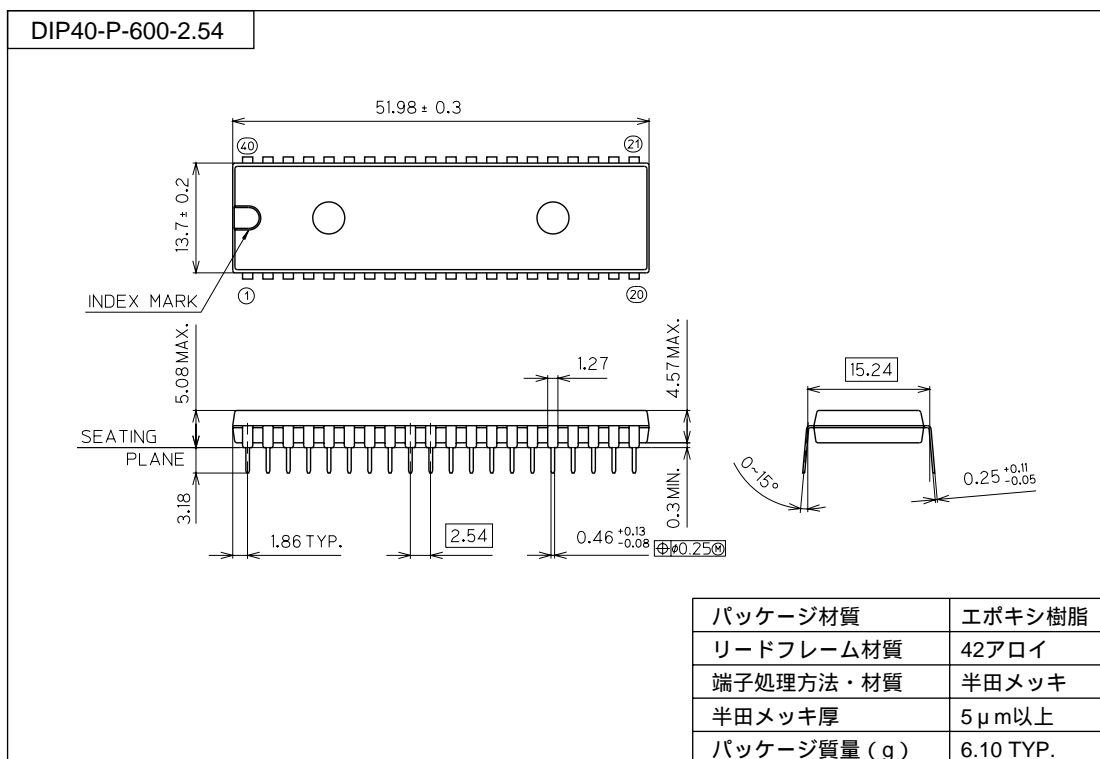
項目	記号	MSM82C55A-5	MSM82C55A-2
WRの立ち上りに対する アドレスホールド時間	tWA	30 ns 最小	20 ns 最小
WRパルス幅	tWW	300 ns 最小	150 ns 最小
WRの立ち上りに対する データセットアップ時間	tDW	1000 ns 最小	50 ns 最小
WRの立ち上りに対する データホールド時間	tWD	40 ns 最小	30 ns 最小
WRの立ち上りからの確定 データ出力時間	tWB	350 ns 最大	200 ns 最大
RDの立ち下りに対する ポートデータホールド時間	tHR	20 ns 最小	10 ns 最小
ACKパルス幅	tAK	300 ns 最小	100 ns 最小
STBパルス幅	tST	300 ns 最小	100 ns 最小
STBの立ち下りに対する ポートデータホールド時間	tPH	180 ns 最小	50 ns 最小
ACKの立ち下りからの 確定データ出力時間	tAD	300 ns 最大	150 ns 最大
WRの立ち下りからOBF が立ち下がるまでの遅延時間	tWOB	650 ns 最大	150 ns 最大
ACKの立ち下りからOBFが 立ち上がるまでの遅延時間	tAOB	350 ns 最大	150 ns 最大
STBの立ち下りからIBFが 立ち上がるまでの遅延時間	tSIB	300 ns 最大	150 ns 最大
RDの立ち上りからIBFが 立ち下がるまでの遅延時間	tRIB	300 ns 最大	150 ns 最大
RDの立ち下りからINTRが 立ち下がるまでの遅延時間	tRIT	400 ns 最大	200 ns 最大
STBの立ち上りからINTRが 立ち上がるまでの遅延時間	tSIT	300 ns 最大	150 ns 最大
ACKの立ち上りからINTRが 立ち上がるまでの遅延時間	tAIT	350 ns 最大	150 ns 最大
WRの立ち下りからINTRが 立ち下がるまでの遅延時間	tWIT	850 ns 最小	250 ns 最小

上記のとおりMSM82C55A-2の規格は、MSM82C55A-5の規格を満足するため問題はありません。

以上

## ■ パッケージ寸法図

(単位：mm)



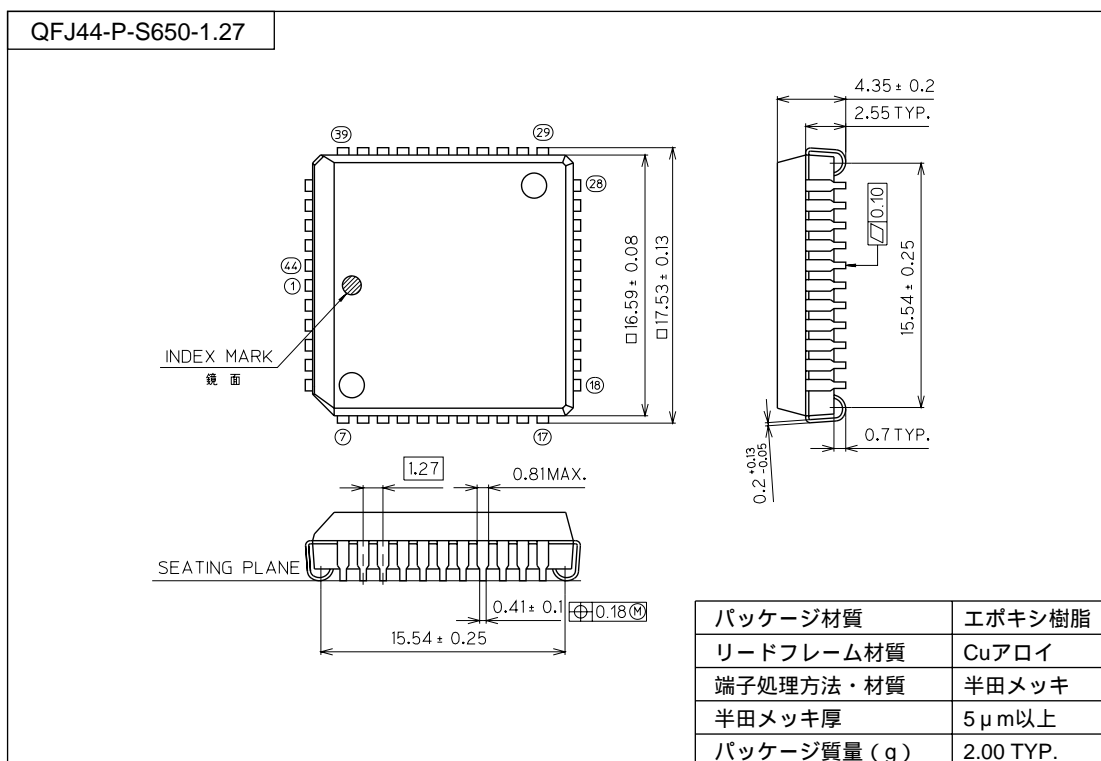
### 表面実装型パッケージ実装上のご注意

SOP、QFP、TSOP、TQFP、LQFP、SOJ、QFJ (PLCC)、SHP、BGA等は表面実装型パッケージであり、リフロー実装時の熱や保管時のパッケージの吸湿量等に変化を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件 (リフロー方法、温度、回数)、保管条件などを弊社担当営業まで必ずお問い合わせください。



(単位 : mm)

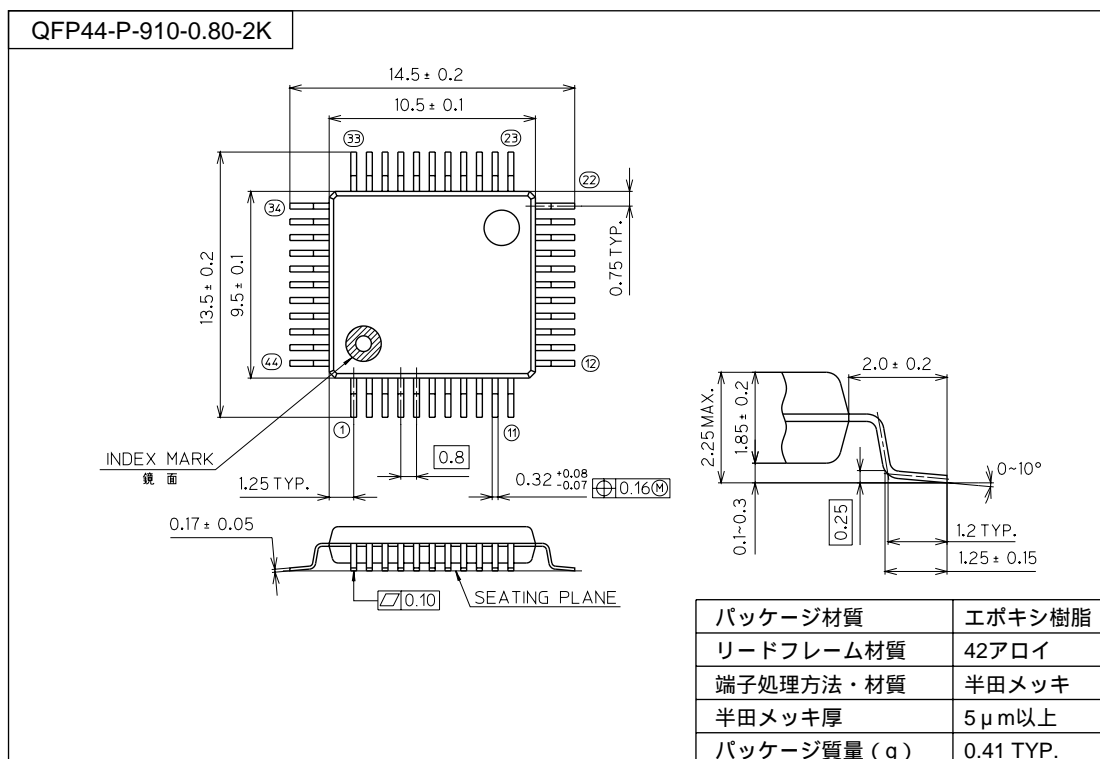


#### 表面実装型パッケージ実装上のご注意

SOP、QFP、TSOP、TQFP、LQFP、SOJ、QFJ (PLCC)、SHP、BGA等は表面実装型パッケージであり、リフロー実装時の熱や保管時のパッケージの吸湿量等に変影響を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件 (リフロー方法、温度、回数)、保管条件などを弊社担当営業まで必ずお問い合わせください。

(単位 : mm)



#### 表面実装型パッケージ実装上のご注意

SOP、QFP、TSOP、TQFP、LQFP、SOJ、QFJ (PLCC)、SHP、BGA等は表面実装型パッケージであり、リフロー実装時の熱や保管時のパッケージの吸湿量等に変影響を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件 (リフロー方法、温度、回数)、保管条件などを弊社担当営業まで必ずお問い合わせください。